

Analyse de chemins combinatoires inter-FPGAs, aide au partitionnement

Chez Synopsys, nous sommes au cœur des innovations qui changent notre façon de vivre et de travailler : voitures autonomes, intelligence artificielle, solution de cloud, la 5G, l'internet des objets (IoT), etc. Ces avancées inaugurent l'ère du tout intelligent, et Synopsys est au cœur de tout cela en fournissant les technologies les plus avancées au monde allant de la conception de puces à la sécurité logicielle. Si vous partagez notre passion pour l'innovation, nous voulons vous rencontrer.

Vous trouverez plus d'information ici : <https://www.synopsys.com/verification/emulation.html>

Nous recherchons un ou une stagiaire, pour une durée de **6 mois** dans nos locaux à Wissous (91), au sud de Paris.

Vous rejoindrez le Groupe SDG (Solution Design Group) et intégrerez l'équipe R&D en charge du développement du logiciel de compilation qui se trouve au cœur de notre nouvelle génération d'émulateurs et de plateformes de prototypage utilisant des FPGAs.

Un des éléments clef de notre technologie est la performance finale du design du client fonctionnant sur nos plateformes, pour cela notre compilateur analyse et optimise le design. Un des principaux goulots d'étranglement limitant les performances est la quantité de chemins combinatoires traversant les FPGAs. Le but de ce stage est dans un premier temps, de développer un outil permettant une analyse rapide et aisée de ces chemins, puis d'étudier différentes stratégies au niveau du partitionnement afin de voir l'impact immédiat sur les performances du design client.

Vous serez donc amené à :

- Faire l'analyse de la quantité de ces chemins combinatoires depuis une base de code en C++.
- Définir et développer un outil afin de présenter les résultats de manière pertinente (en C++ ou python, interface Web ou Qt).
- Valider sur différents types de design.
- Proposer une/des solutions afin de limiter l'impact de ces chemins combinatoires sur les performances.
- Implémenter la/les solutions si le temps le permet et valider les performances.

La rémunération sera **de 1500 Euros Brut / mois**

Mots clefs : C++, Graphs, FPGA, Python, Qt.

Vous êtes en dernière année de Master ou cycle Ingénieur et vous souhaitez mettre en pratique vos connaissances en informatique dans un environnement dynamique et innovant ?

Vous avez une bonne connaissance du C++, de la complexité des algorithmes, êtes familier de Linux (shell, scripts, ...) et avez un intérêt pour l'électronique ? Le travail dans une équipe à compétences multiples vous tente ?

Pour postuler, il vous suffit de nous contacter par mail (jean-charles.papin@synopsys.com), de joindre votre CV, et nous reviendrons vers vous rapidement.

L'inclusion et la diversité sont importantes pour nous. Synopsys considère tous les candidats à l'emploi sans distinction de race, de couleur, de religion, d'origine nationale, de sexe, d'orientation sexuelle, d'identité de genre, d'âge, de statut d'ancien combattant ou de handicap.