

# ANNONCE DE STAGE

## IFP Énergies Nouvelles

Rueil-Malmaison - 92500

### Sujet de stage

Abstraction de la vectorisation pour les nouvelles architectures matérielles

### Profil recherché

Stage de fin d'étude : Elève Master 2 ou Ingénieur en 3ème années d'école, informatique ou calcul scientifique.

Le candidat devra idéalement posséder des compétences en HPC et notamment en vectorisation. La connaissance du C++ et de la programmation en python sont nécessaires.

### Contexte du projet

IFPEN a une expertise reconnue en modélisation numérique et calcul haute performance. Performance et calcul intensif sont essentiels pour traiter des simulations d'envergure sur des supercalculateurs.

L'évolution du matériel informatique est beaucoup plus rapide que le cycle de vie de nos simulateurs. De plus, ces architectures informatiques sont de plus en plus hétérogènes et complexes. Pour obtenir de bonnes performances, il est nécessaire d'adresser finement les différentes couches matérielles. Pour cela il faut utiliser des paradigmes de programmation différents et adéquate selon les couches : MPI entre les nœuds de calcul, multi-thread sur les sockets des processeurs, SIMD au niveau des cœurs de calcul ou encore cuda, hip, etc pour les accélérateurs GPUs. Dans ce contexte, il est nécessaire de concevoir des briques permettant de s'abstraire au mieux de ces différentes couches matérielles.

Le problème que nous adressons est lié à la vectorisation SIMD des cœurs de calcul, où les intrinsèques sont propres aux architectures des cœurs de calcul. IFPEN travaille avec l'INRIA et Lip6 sur la librairie open source MIPP (<https://github.com/aff3ct/MIPP>). Cette librairie écrite en C++ permet de s'abstraire des différents types de SIMD via une interface commune. A ce jour, MIPP couvre les SIMD sse, avx, avx2 et avx512 pour les processeurs Intel, AMD et neon pour les processeurs ARM.

Avec les dernières générations de processeurs ARM+SVE et RISC-V de nouveaux concepts émergent notamment celui de pouvoir spécifier la taille des vecteurs SIMD à l'exécution du programme. La prise en compte des tailles de registre variable n'est pas pour le moment possible avec MIPP. Pour les ajouter, une réécriture ou une évolution fonctionnelle s'avèrerait chronophage. De plus le même souci risque de se représenter avec de futurs processeurs ou de nouveaux besoins fonctionnels. Il nous semble donc préférable d'aller vers une approche générative. Cette approche nous permettra de générer des couches abstraites comme MIPP selon le besoin de l'utilisateur et l'évolution des futurs SIMD.

### Responsables de stage

Raphael Gayno (IFPEN), Olivier Aumage (Inria), Adrien Cassagne (Lip6)

### Objectifs du stage :

Dans une première partie du stage, l'objectif sera d'ajouter une version ARM SVE avec une taille de registre fixe dans MIPP. Puis faire des tests de performance de cette nouvelle implémentation sur le solveur linéaire MCGSolver utilisant MIPP.

Dans une seconde partie du stage, l'objectif sera d'abstraire les concepts sous-jacents aux différents SIMD sous la forme d'un meta-model. Puis de créer une instance de ce meta-model pour chaque type de SIMD. A partir du méta-model et de ces instances, il faudra implémenter un générateur permettant de régénérer dans un premier temps les instructions MIPP actuel. Puis de générer les instructions nécessaires pour MIPP avec plus de concepts registre taille variable.

**Durée : 5 mois**

**Période : Mars à Septembre**

**Lieu : Rueil Malmaison**

**Rémunération :**

**Merci d'adresser votre candidature (CV et lettre de motivation) à :**

Raphael Gayno  
IFP Énergies Nouvelles  
Direction Sciences et Technologies du Numérique  
Département Informatique Scientifique  
1 et 4, avenue de Bois-Préau  
92852 Rueil-Malmaison Cedex  
01 47 52 72 60  
[raphael.gayno@ifpen.fr](mailto:raphael.gayno@ifpen.fr)